

FORMULARIO PARA LA ADAPTACIÓN DE LA GUÍA DOCENTE DE UNA ASIGNATURA

Nombre de la Titulación	Graduado en Ingeniería Electrónica y Automática (EINA)
Coordinador/a	Antonio Romeo Tello
Código de Plan)	440 (EINA)
Nombre de la Asignatura	Electrónica digital
Código de la Asignatura (este código aparece en la guía docente)	29819

1. Adaptaciones en el programa (revisión y adaptación de los contenidos de la asignatura):

Respecto al programa por temas, solo se elimina el apartado de “Circuito iterativo secuencial” del tema 3 de Circuitos secuenciales. Dicho apartado supone menos del 10% de los contenidos de este tema, de un total de 4 temas.

Respecto a las prácticas de laboratorio, se ha eliminado la necesidad de implementar los diseños en una FPGA, ya que esto requeriría que los alumnos tuvieran acceso a una placa de evaluación y en alguna práctica a ciertos componentes e instrumentación de laboratorio.

2. Adaptaciones en la metodología docente (clases *online*, videos grabados,...)

Se utiliza Moodle como herramienta de comunicación con los estudiantes. Para dar soporte a la docencia no presencial se añade:

- El enlace para participar en las clases en línea de teoría y problemas con Google Meet.
- El enlace de Youtube para acceder a los videos de las clases grabadas.
- La planificación semanal de dichas clases de teoría, problemas; así como de las prácticas de laboratorio.
- Un foro de tutorías para plantear cuestiones y dudas.
- Cuestionarios de autoevaluación para fomentar el trabajo continuado.

Las actividades formativas “clase magistral (A1)” y “problemas y casos (A2)” se desarrollan de forma no presencial con Google Meet. Las clases se graban y se suben a Youtube. El enlace de se pone a disposición de los alumnos para que éstos puedan acceder cuando mejor les venga y cuantas veces quieran.

La actividad formativa “prácticas de laboratorio (A3)” se desarrolla también de forma no presencial. Para ello, se ha recomendado a los alumnos que se instalen en su PC la herramienta ISE Design Suite 14.7 de Xilinx. Es la que se usa en el laboratorio de prácticas y está disponible

sin coste alguno en la página web de Xilinx. Con esta herramienta los alumnos pueden seguir todos los pasos del proceso de diseño que se verían en el laboratorio excepto la implementación en la placa de evaluación. Conocido que algunos alumnos han tenido problemas con la instalación del programa anterior, se buscó una alternativa que consiste en la utilización del simulador online EDA Playground. Esta herramienta no requiere instalación ya que se usa directamente en el navegador. Con esta herramienta los alumnos pueden verificar la funcionalidad de sus diseños.

Por último, la actividad formativa “tutorías (A9)” se realiza por correo electrónico o de forma telemática con Google Meet.

3. Adaptaciones en la evaluación:

Con el fin de incentivar el trabajo continuado y adaptarse a la docencia no presencial se añade un sistema de evaluación continua basado en la realización de 3 pruebas tipo test, 2 pruebas compuestas por un problema de diseño y las prácticas de laboratorio.

Evaluación continua

Pruebas parciales (80%):

— Se realizarán 5 pruebas parciales a lo largo del curso académico. De éstas, 3 pruebas serán tipo test con cuestiones de elección múltiple, de respuesta numérica, de respuesta corta ... y 2 pruebas consistirán en un problema de diseño descrito en VHDL.

— El conjunto de las pruebas parciales se calificará con una nota CPP de 0 a 10 puntos obtenida de la siguiente forma: cada una de las 3 pruebas de tipo test tendrá un peso del 20 % en CPP; y el 40 % restante de CPP se obtendrá de la nota máxima obtenida en las dos pruebas de problema de diseño.

Prácticas de laboratorio (20%):

— Se calificarán con una una nota CL de 0 a 10 puntos mediante el análisis de las descripciones VHDL del circuito a diseñar y el testbench elaboradas por los estudiantes. Además, se podrá solicitar el cuaderno de prácticas en el que se recogen las modificaciones y las respuestas a las preguntas de los guiones de prácticas.

— Se penalizará el no entregar los informes dentro del plazo de entrega que se establezca.

Si el estudiante ha obtenido una calificación CL mayor o igual que 4 puntos la calificación global de la asignatura será $(0.2 \times CL + 0.8 \times CPP)$. En otro caso, la calificación global de la asignatura será la mínima entre 4 y el resultado de aplicar la fórmula anterior. La asignatura se supera con una calificación global de 5 puntos sobre 10.

Evaluación global

Los alumnos que no superen la asignatura con los criterios de la evaluación continua, dispondrán de las dos convocatorias oficiales. Las pruebas a realizar en este caso son las siguientes:

— Una prueba tipo test de los contenidos teóricos de la asignatura y un problema de diseño descrito en VHDL similares a los realizados en la modalidad de evaluación continua. Se calificará con una nota CT de 0 a 10 puntos obtenida de la siguiente forma: la prueba tipo test tendrá un peso del 60 % en CT y la nota obtenida en el problema de diseño tendrá un peso del 40 % en CT. Si el estudiante ha realizado alguno de los problemas de diseño de la evaluación continua, se usará el máximo de las notas de problemas disponibles.

— Un examen de prácticas del cual estarán eximidos los estudiantes que hayan obtenido una calificación de prácticas durante el curso mayor o igual que 4 puntos. El examen consistirá en la simulación de circuitos digitales similares a los desarrollados durante el curso en las sesiones de prácticas de laboratorio no presenciales. Se calificará con una nota CL entre 0 y 10.

Si el estudiante ha obtenido una calificación CL mayor o igual que 4 puntos, la calificación global de la asignatura será $(0.2 \times CL + 0.8 \times CT)$. En otro caso, la calificación global de la asignatura será la mínima entre 4 y el resultado de aplicar la fórmula anterior. La asignatura se supera con una calificación global de 5 puntos sobre 10.